

BEST AVAILABLE COPY

(2)

[REDACTED] 公開実用 昭和61-191630 [REDACTED]

⑨ 日本国特許庁 (JP)

⑩ 実用新案出願公開

⑪ 公開実用新案公報 (U) 昭61-191630

⑫ Int.CI.¹
H 03 K 17/22

識別記号

厅内整理番号
7105-5J

⑬ 公開 昭和61年(1986)11月28日

審査請求 未請求 (全頁)

⑭ 考案の名称 リセット回路

⑮ 実 願 昭60-75182

⑯ 出 願 昭60(1985)5月21日

⑰ 考案者 小松 英幸 川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出願人 富士電機株式会社 川崎市川崎区田辺新田1番1号

⑲ 代理人 弁理士 山口 崑

(2)

公開実用 昭和61-191630

明細書

1. 考案の名称 リセット回路

2. 実用新案登録請求の範囲

1) 所定電源から給電され、該所定電源の電圧が所定電圧以下に低下したことを検出するコンパレータを備えたリセット回路において、複数のダイオードの直列回路を介してベース電流が供給されるトランジスタ回路を設け、前記コンパレータの出力を前記トランジスタ回路を介してリセット信号として出力するようにしたことを特徴とするリセット回路。

3. 考案の詳細な説明

〔考案の属する技術分野〕

本考案は、コンパレータ（演算増幅器の一種で電圧比較用に作られたIC）を用いて電源電圧が低下したときにリセット信号を発生するようにしたリセット回路に関する。

〔従来技術とその問題点〕

この種のリセット回路としては、従来オズ図に示すものが知られている。図において、 Q_1 はオ-

(3)

ブンコレクタ出力のコンパレータ、 ZD_1 はツエナーダイオード、 $R_1 \sim R_4$ は抵抗であり、コンパレータ Q_1 には電源電圧 V_{PS} が給電されると共に、その反転入力には電源に直列接続された抵抗 R_2 とツエナーダイオード ZD_1 により発生される基準電圧が入力され、非反転入力には電源電圧 V_{PS} が抵抗 R_1 と R_3 の直列回路により分圧されて入力され、出力 V_o は抵抗 R_4 により電源電圧 V_{PS} でプルアップされている。

第3図は、この回路における電源電圧 V_{PS} と出力 V_o との関係を示す説明図で、電源電圧 V_{PS} が抵抗 R_1 、 R_2 、 R_3 及びツエナーダイオード ZD_1 によって決まる電圧 V_2 （この電圧はリセット対象装置の動作電圧に応じて決める）にまで低下すると出力 V_o が Low レベルになつてリセット信号が発生され、対象装置をリセットするようになつている。

しかしながら、電源電圧 V_{PS} がコンパレータ Q_1 の動作保証電圧の下限よりも低い電圧 V_1 （最高で保証電圧の下限）にまで低下すると、コンパレータ Q_1 の出力トランジスタがオフして出力 V_o は High



(4)

公開実用 昭和61-191630

レベルになつてしまふ。この電圧 V_1 は一般にトランジスタをオンさせるのに十分な値(2V位)であり、装置によつては誤動作をする可能性があるといふ問題があつた。

[考案の目的]

本考案は、電源電圧がコンパレータの動作保証電圧より低下してもリセット信号が確実に発生されるようにしたリセット回路を提供することを目的とする。

[考案の要点]

本考案は、複数のダイオードの直列回路を介してベース電流が供給されるトランジスタ回路を設け、コンパレータの出力をこのトランジスタ回路を介してリセット信号として出力することにより、ダイオードのえん層電圧以下では電流が流れないことを利用してコンパレータの動作が保証されない電圧においてもリセット信号を確実に発生するようにしたものである。

[考案の実施例]

オ1図は、本考案の実施例を示す回路図である。

図において、オ₂図と同一もしくは対応する部分には同一記号を付してあるので、異なる部分について説明すると、オ₁図のものに対してダイオードD₁～D₃、トランジスタTr₁、Tr₂、抵抗R₅～R₇が追加されており、コンパレータQ₁の出力は、トランジスタTr₁と抵抗R₆により構成された反転回路で反転され、さらに、トランジスタTr₂と抵抗R₇により構成された反転回路で再度反転されて出力V₀として出力される。ここで、トランジスタTr₁のベース電流は電源V_{PS}から抵抗R₄およびダイオードD₁～D₃の直列回路を介して供給される。また、抵抗R₅は漏れ電流をバイパスしてトランジスタTr₁のオフを確実にするために設けられている。そして、ダイオードD₁、D₂、D₃のえん層電圧の合計とトランジスタTr₁のベース・エミッタ電圧との和をコンパレータQ₁の動作保証電圧より大きくなるようにする（不足の場合にはダイオードの直列接続の数を増やす）。即ち、この電圧の和は、オ₃図における電圧V₁とV₂間にに入るよう（電圧V₁ではトランジスタTr₁が確実にオフし、V₂

(6)

公開実用 昭和61-191630

では確実にオンするよう(6)決める。

次に、このような構成の回路の動作について説明する。電源電圧 V_{PS} が電圧 V_2 よりも高いときには、コンパレータ Q_1 の出力トランジスタはオフしているので、トランジスタ Tr_1 はオン、トランジスタ Tr_2 はオフとなつて、出力 V_o は High レベルになつているが、電源電圧 V_{PS} が電圧 V_2 よりも低くなるとコンパレータ Q_1 の出力トランジスタはオンするので、トランジスタ Tr_1 はオフ、トランジスタ Tr_2 はオンとなつて、出力 V_o は Low レベルとなりリセット信号が発生される。さらに電源電圧 V_{PS} が低下してダイオード $D_1 \sim D_3$ のえん層電圧の合計とトランジスタ Tr_1 のベース・エミッタ電圧との和に等しくなると、ダイオード $D_1 \sim D_3$ がオフして抵抗 R_4 を介してトランジスタ Tr_1 にベース電流が供給できなくなるので、電源電圧 V_{PS} が、コンパレータ Q_1 の動作が保証されない電圧 V_1 にまで低下してコンパレータ Q_1 の出力トランジスタがオフしたとしても、トランジスタ Tr_1 はオフのままである。従つて、このときトランジスタ Tr_2 がオフす

(7)

ることではなく、出力 v_o は Low レベルのままであり、出力 v_o としてオ 3 図の斜線部分で示した電圧が発生されることはない。発生されるとしても、それはトランジスタ T_{rs} がオンすることができない電圧にまで低下したときであるので、リセット対象装置のトランジスタがオンすることによる誤動作が発生することはない。

[考案の効果]

以上のような本考案によれば、複数のダイオードの直列回路を介してベース電流が供給されるトランジスタ回路を介してリセット信号を発生するようにしたので、コンパレータの動作が保証されない電圧においては、ダイオードのえん層電圧が利用されて確実にリセット信号が発生される。従つて、対象装置の誤動作を防止することが可能となる。

4. 図面の簡単な説明

オ 1 図は本考案の実施例を示す回路図、オ 2 図は従来例を示す回路図、オ 3 図は従来及び本考案の実施例の電源電圧とリセット回路の出力との関

(8)

公開実用 昭和61-191630

係を示す説明図である。

Q_1 … コンバレータ、 $D_1 \sim D_3$ … ダイオード、 Tr_1 、
 Tr_2 … パワートランジスタ、 ZD_1 … ツエナーダイオード、
 $R_1 \sim R_7$ … 抵抗、 V_{PS} … 電源電圧、 V_o … 出力。

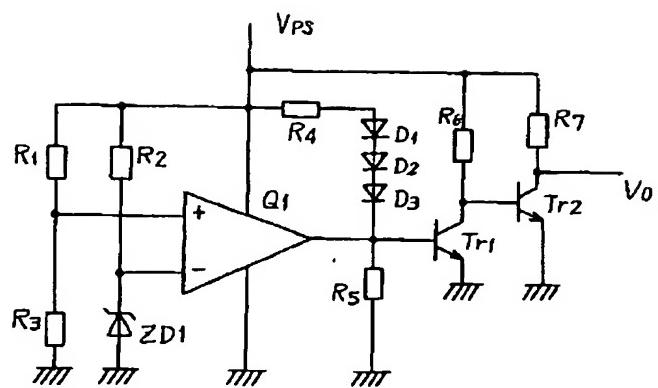
代理人弁理士 山口



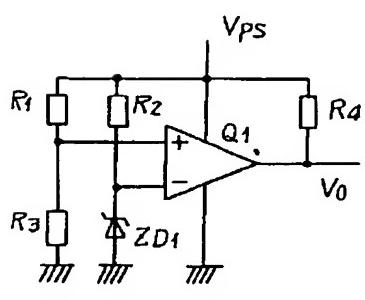
BEST AVAILABLE COPY

(9)

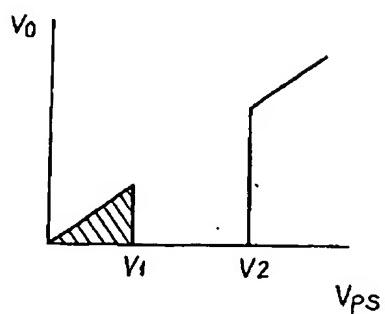
第 1 図



第 2 図



第 3 図



289

代理人井理士 山 口



実開61 101633

THIS PAGE BLANK (USPTO)

ABSTRACT

(Utility Model First Publication No. 61-191630)

- 5 A reset circuit which outputs a reset signal without fail even if
the power voltage of a comparator is lowered below the operational
voltage of the comparator by making use of the fact that a current does
not flow below the blocking voltage of a plurality of diodes connected
in series, by arranging a transistor circuit, of which base-current is
10 supplied through the diodes, to output an output of the comparator as a
reset signal from the transistor circuit.

THIS PAGE BLANK (USPTO)